

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-175121

(43)Date of publication of application : 24.06.1994

(51)Int.Cl.

G02F 1/1335

G02F 1/133

G02F 1/136

(21)Application number : 04-330416

(71)Applicant : HITACHI LTD

HITACHI DEVICE ENG CO LTD

(22)Date of filing : 10.12.1992

(72)Inventor : WATANABE YOSHIKI

ISHII AKIRA

MATSUYAMA SHIGERU

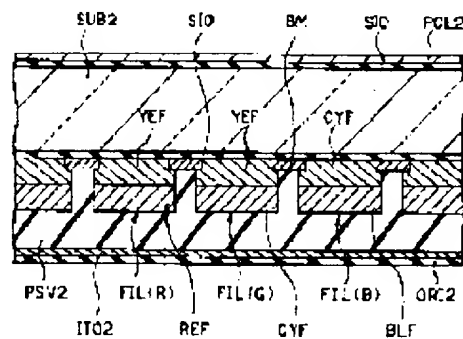
AOKI AKIRA

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To decrease the production cost of color filters when CIE chromaticity of the filter is freely and often changed.

CONSTITUTION: A red color filter FIL(R) is formed by laminating a yellow filter YEF and a red filter layer REF. A green color filter FIL(G) is formed by laminating a yellow filter layer YEF and a cyan filter layer CYF. A blue color filter FIL(B) is formed by laminating a cyan filter layer CYF and a blue filter layer BLF.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

CLAIMS

[Claim(s)]

[Claim 1] The liquid crystal display characterized by having carried out the laminating of the filter layer of a color which is different in the above-mentioned light filter, and forming it in the liquid crystal display which has a light filter.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to liquid crystal displays, such as a liquid crystal display of the active matrix which used TFT etc.

[0002]

[Description of the Prior Art] The liquid crystal display of an active matrix prepares a nonlinear element (switching element) corresponding to each of two or more pixel electrodes arranged in the shape of a matrix. Since liquid crystal in each pixel is always driven theoretically (duty ratio 1.0), compared with the so-called passive matrix which has adopted the time-sharing drive method, an active method has good contrast and is becoming especially indispensable technology with electrochromatic display. There is TFT (TFT) as a thing

section showing some liquid crystal displays of the conventional active matrix. As shown in drawing, the silicon-oxide film SIO is formed in both sides of up transparent glass-substrate SUB2, and a polarizing plate POL 2 is formed in the front face of the outside of up transparent glass-substrate SUB2, and the shading film BM, a light filter FIL, a protective coat PSV2, the common transparent pixel electrode ITO2 (COM), and the up orientation film ORI2 carry out a laminating to the front face inside up transparent glass-substrate SUB2 (liquid crystal side) one by one, and are prepared in it.

[0004] in addition, the liquid crystal display of the active matrix which used TFT -- for example, "12.5 type active-matrix method electrochromatic display display which adopted redundant configuration", Nikkei electronics, and page 193- it

Nikkei-tuna-UIHRU-publishes, and is come out and known on December 15, 1986 [210 or]

[0005]

[Problem(s) to be Solved by the Invention] In such a liquid crystal display, although the CIE chromaticity of a light filter FIL can be freely changed by changing the pigment with which a light filter FIL is colored, a color, i.e., the kind of coloring material, and inner ****.

manufacturing cost becomes very expensive.

[0006] Though this invention was made in order to solve an above-mentioned technical problem, and it changes the CIE chromaticity of a light filter freely and frequently, it does not have a bird clapper as a manufacturing cost is expensive, and it aims at offering a liquid crystal display easily.

[0007]

[Means for Solving the Problem] In order to attain this purpose, in this invention, in the liquid crystal display which has a light filter, the laminating of the filter layer of a color which is different in the above-mentioned light filter is carried out, and it is formed.

[0008]

[Function] In this liquid crystal display, it can perform changing the CIE chromaticity of a light filter easily by changing the thickness of each filter layer of a different color.

[0009]

[Example]

(Active-matrix liquid crystal display) The example which applied this invention to the electrochromatic display of an active matrix is explained hereafter. In addition, with the drawing explained below, what has the same function attaches the same sign, and explanation of the repeat is omitted.

[0010] The plan in which drawing 2 shows 1 pixel and its circumference of the

active-matrix method electrochromatic display display with which this invention is applied, and drawing 3 are drawing showing the cross section in three to 3 cutting plane line of drawing 2, and a cross section [in / four to 4 cutting plane line of drawing 2 / in drawing 4].

Moreover, a plan when two or more pixels shown in drawing 2 have been arranged is shown in drawing 5.

[0011] (Pixel arrangement) As shown in drawing 2, each pixel is arranged in the intersection field of two adjoining scanning signal lines (a gate signal line or level signal line) GL and two adjoining video-signal lines (a drain signal line or perpendicular signal line) DL (inside of the field surrounded by four signal lines). Each pixel contains TFT TFT, the transparent pixel electrode ITO1, and the retention volume element Cadd. The scanning signal line GL extends in the direction of a train, and is arranged two or more at the line writing direction. The video-signal line DL extends in a line writing direction, and is arranged two or more in the direction of a train.

[0012] (The whole display cross-section structure) As shown in drawing 3, TFT TFT and the transparent pixel electrode ITO1 are formed in the lower transparent glass-substrate SUB1 side on the basis of liquid crystal LC, and the light filter FIL and the black matrix pattern BM for shading are formed in the up transparent glass-substrate SUB2 side. Lower

transparent glass-substrate SUB1 consists of thickness of about 1.1mm. Moreover, the silicon-oxide film SIO formed of DIP processing etc. is formed in both sides of the transparent glass substrates SUB1 and SUB2. For this reason, though a sharp blemish is shown in the front face of the transparent glass substrates SUB1 and SUB2, since a sharp blemish can be covered by the silicon-oxide film SIO, membranous qualities, such as the scanning signal line GL by which a deposit is carried out on it, and the shading film BM, can be kept homogeneous.

[0013] Although not illustrated, a sealant is formed so that liquid crystal LC may be closed in accordance with the whole edge circumference of the transparent glass substrates SUB1 and SUB2 except a liquid crystal enclosure mouth, and a sealant consists of an epoxy resin. The common transparent pixel electrode ITO2 by the side of up transparent glass-substrate SUB2 is connected to the external drawer wiring formed in the lower transparent glass-substrate SUB1 side of silver paste material in the piece place at least. This external drawer wiring is formed by the same manufacturing process as gate-terminal GFM and the drain terminal DTM which are mentioned later.

[0014] Each layer of the orientation films

transparent pixel electrode ITO2 is formed inside a sealant. Polarizing plates POL1 and POL2 are formed in the front face of the outside of lower transparent glass-substrate SUB1 and up transparent glass-substrate SUB2, respectively.

Liquid crystal LC is enclosed between the lower orientation films ORI1 and the up orientation films ORI2 which set up the sense of a liquid crystal molecule, and the seal is carried out by the sealant. The lower orientation film ORI1 is formed in the upper part of the protective coat PSV1 by the side of lower transparent glass-substrate SUB1.

[0015] The shading film BM, a light filter FIL, a protective coat PSV2, the common transparent pixel electrode ITO2 (COM), and the up orientation film ORI2 carry out a laminating to the front face inside up transparent glass-substrate SUB2 (liquid crystal LC side) one by one, and are prepared in it.

[0016] This liquid crystal display accumulates various layers separately by the lower transparent glass-substrate SUB1 and up transparent glass-substrate SUB2 side, piles up lower transparent glass-substrate SUB1 and up transparent glass-substrate SUB2 after that, and is assembled by enclosing liquid crystal LC between lower transparent glass-substrate SUB1 and up transparent glass-substrate SUB2.

channel resistance between source-drains will become small, and if bias is made into zero, channel resistance will operate so that it may become large.

[0018] TFT TFT of each pixel is divided into two (plurality) in a pixel, and consists of TFT (division TFT) TFT1 and TFT2. Each of TFT TFT1 and TFT2 consists of same sizes (channel length and channel width are the same) substantially. Each of this divided TFT TFT1 and TFT2 has the i-type-semiconductor layer AS which consists of the gate electrode GT, a gate insulator layer GI, and i type (genuineness, intrinsic, and conductivity-type determination impurity are not doped) amorphous Si, the source electrode SD 1 of a couple, and the drain electrode SD 2. In addition, since the source and a drain are originally decided by bias polarity in the meantime and working reversal of the polarity is carried out in the circuit of this liquid crystal display, please understand that the source and a drain interchange working. However, in the following explanation, for convenience, the method of one is fixed with the source, another side is fixed with a drain, and it expresses.

[0019] ((GT) Gate electrode) The gate electrode GT consists of configurations which project from the scanning signal line GL perpendicularly (it sets to drawing 2 and drawing 6, and is above), as shown in drawing 6 (plan describing

the 2nd electric conduction film g2 of drawing 2, and the i-type-semiconductor layer AS) (it has branched in the T character configuration). The gate electrode GT is projected as it is over each active region of TFT TFT1 and TFT2.

Each gate electrode GT of TFT TFT1 and TFT2 is constituted by one (as a common-gate electrode), and is formed in it succeeding the scanning signal line GL. In this example, the gate electrode GT is formed by the 2nd electric conduction film g2 of a monolayer. The 2nd electric conduction film g2 is formed by about 1000-5500Å thickness using aluminum film formed by the spatter. Moreover, on the gate electrode GT, the oxide film on anode AOF of aluminum is formed.

[0020] This gate electrode GT is formed in size **** from it so that the i-type-semiconductor layer AS may be covered completely as shown in drawing 2, drawing 3, and drawing 6 (in view of a lower part). Therefore, when back lights, such as a fluorescent lamp, are attached under lower transparent glass-substrate SUB1, the gate electrode GT which consists of this opaque aluminum serves as a shadow, back light light is not equivalent to the i-type-semiconductor layer AS, but OFF property degradation of the electric conduction phenomenon by optical irradiation, i.e., TFT TFT, stops being able to occur in it easily. In addition, the size of original of the gate electrode GT has width of face indispensable (also

including a part for an alignment margin with the gate electrode GT, the source electrode SD 1, and the drain electrode SD 2) to straddle between the source electrode SD 1 and the drain electrodes SD 2. The depth length which determines channel width W is decided by into how many factor W/L which determines the ratio gm with the distance L between the source electrode SD 1 and the drain electrode SD 2 (channel length), i.e., a mutual conductance, is made. It is made larger than the original size mentioned above as well as the size of the gate electrode GT in this liquid crystal display.

[0021] (Scanning signal line GL) The scanning signal line GL consists of 2nd electric conduction films g2. The 2nd electric conduction film g2 of this scanning signal line GL is formed by the same manufacturing process as the 2nd electric conduction film g2 of the gate electrode GT, and is constituted by one. Moreover, the oxide film on anode AOF of aluminum is formed also on the scanning signal line GL.

[0022] ((GI) Insulator layer) An insulator layer GI is used as each gate insulator layer of TFT TFT1 and TFT2. The insulator layer GI is formed in the upper layer of the gate electrode GT and the scanning signal line GL. An insulator layer GI is formed using the silicon nitride film formed by plasma CVD by

[0023] ((AS) I-type semiconductor layer)

The i-type semiconductor layer AS is used as each channel formation field of TFT TFT1 and TFT2 divided into plurality, as shown in drawing 6. The i-type semiconductor layer AS is formed by the amorphous Si film or the polycrystal Si film, and is formed by 200-2200Å thickness (this liquid crystal display about 2000Å thickness).

[0024] Succeeding formation of the insulator layer GI used as a gate insulator layer which changes the component of distributed gas and consists of Si₃N₄. this i-type semiconductor layer AS is the same plasma CVD equipment, and it is formed, without moreover exposing to the plasma CVD equipment shell exterior. Moreover, N(+) type semiconductor layer d0 (drawing 3) which doped Lynn (P) for ohmic contacts 2.5% is similarly formed continuously by 200-500Å thickness (this liquid crystal display about 300Å thickness), after an appropriate time, lower transparent glass-substrate SUB1 is taken out from a CVD system outside, and patterning is carried out to the shape of an island which became independent as photographic-processing technology showed N(+) type semiconductor layer d0 and the i-type semiconductor layer AS to drawing 2, drawing 3, and drawing 6

[0025] The i-type semiconductor layer AS

scanning signal line GL and the video-signal line DL, as shown in drawing 2 and drawing 6. The i-type semiconductor layer AS of this intersection reduces the short circuit of the scanning signal line GL and the video-signal line DL in an intersection.

[0026] (Transparent pixel electrode ITO1) The transparent pixel electrode ITO1 constitutes one side of the pixel electrode of the liquid crystal display section.

[0027] The transparent pixel electrode ITO1 is connected to both the source electrode SD 1 of TFT TFT1, and the source electrode SD 1 of TFT TFT2. For this reason, what is necessary is just to leave it, since a suitable part is cut, and the TFT of another side is operating normally by the laser beam etc. when that is not right, when the defect brings about a side effect, even if a defect occurs in one of TFT TFT1 and TFT2. In addition, it is rare that a defect occurs simultaneously in two TFT TFT1 and TFT2, and probability of a point defect or a line defect can be made very small by such redundancy system. The transparent pixel electrode ITO1 is constituted by the 1st electric conduction film d1, and this 1st electric conduction film d1 consists of a transparent electric conduction film (Indium-Tin-Oxide ITO : Nesa membrane) formed by sputtering, and is formed by 1000-2000Å thickness (this liquid crystal display about 1400Å thickness).

[0028] ((SD) The source electrode SD 1, the drain electrode 2) On the i-type semiconductor layer AS, it is isolated, respectively and each source electrode SD 1 of TFT TFT1 and TFT2 divided into plurality and the drain electrode SD 2 are formed, as shown in drawing 2, drawing 3, and drawing 7 (plan only describing the 1st - the 3rd electric conduction films d1-d3 of drawing 2).

[0029] Each of the source electrode SD 1 and the drain electrode SD 2 makes it pile up the 2nd electric conduction film d2 and each other's 3rd electric conduction film d3 one by one, and consists of lower layer sides in contact with N(+) type semiconductor layer d0. The source electrode SD 1 reaches 2nd electric conduction film d2, the drain electrode SD 2 reaches 2nd electric conduction film d2, and the 3rd electric conduction film d3 is formed by the same manufacturing process as the 3rd electric conduction film d3.

[0030] The 2nd electric conduction film d2 is formed using Cr film formed by the sputter by 500-1000Å thickness (this liquid crystal display about 600Å thickness). Since stress will become large if thickness is formed thickly, Cr film is formed in the range which does not exceed about 2000Å thickness. Cr film has good contact in N(+) type semiconductor layer d0. Cr film constitutes the so-called barrier layer

which prevents that aluminum of the 3rd electric conduction film d3 mentioned later is spread in N(+) type semiconductor layer d0. As the 2nd electric conduction film d2, you may use the refractory-metal (Mo, Ti, Ta, W) film and refractory-metal silicide (MoSi₂, TiSi₂, TaSi₂, WSi₂) film other than Cr film.

[0031] The 3rd electric conduction film d3 is formed in 3000-5000Å thickness (this liquid crystal display about 4000Å thickness) by sputtering of aluminum. aluminum film has a small stress compared with Cr film, and forming in thick thickness is possible, and it is constituted so that the resistance of the source electrode SD 1, the drain electrode SD 2, and the video-signal line DL may be reduced. You may use aluminum film which made Si and Cu other than a pure aluminum film contain as an additive as the 3rd electric conduction film d3.

[0032] the same mask after carrying out patterning of the 2nd electric conduction film d2 and the 3rd electric conduction film d3 by the same mask pattern -- using -- the [or] -- N(+) type semiconductor layer d0 is removed by using 2 electric conduction films d2 and the 3rd electric conduction film d3 as a mask That is, as for N(+) type semiconductor layer d0 which remained on the i-type-semiconductor layer AS, portions

removed by the self aryne. As for N(+) type semiconductor layer d0, since it *****s so that parts for all the thickness may be removed at this time, although the surface portion *****s a little, the extent should just control the i-type-semiconductor layer AS in etching time.

[0033] The source electrode SD 1 is connected to the transparent pixel electrode ITO1. The source electrode SD 1 is constituted along with the i-type-semiconductor layer AS level difference (level difference equivalent to the thickness adding the thickness of the 2nd electric conduction film g2, the thickness of an oxide film on anode AOF, the thickness of the i-type-semiconductor layer AS, and the thickness of N(+) type semiconductor layer d0). Specifically, the source electrode SD 1 consists of a 2nd electric conduction film d2 formed along with the level difference of the i-type-semiconductor layer AS, and a 3rd electric conduction film d3 formed in the upper part of this 2nd electric conduction film d2. Since Cr film of the 2nd electric conduction film d2 cannot form thickly the 3rd electric conduction film d3 of the source electrode SD 1 from increase of stress and the level difference configuration of the i-type-semiconductor layer AS cannot be overcome, it is constituted in order to overcome this

improving step coverage by forming thickly. Since the 3rd electric conduction film d3 can be formed thickly, it has contributed to reduction of the resistance (the same is said of the drain electrode SD 2 and the video-signal line DL) of the source electrode SD 1 greatly.

[0034] (Protective coat PSV1) The protective coat PSV1 is formed on TFT TFT and the transparent pixel electrode ITO1. It is formed in order that a protective coat PSV1 may mainly protect TFT TFT from moisture etc., and high moreover, transparency uses a damp-proof good thing. The protective coat PSV1 is formed by the silicon oxide film and silicon nitride film which were formed for example, with plasma CVD equipment, and is formed by about 1-micrometer thickness.

[0035] ((BM) Shading film) The shading film BM is formed and let the shading film BM be a pattern as shown in hatching of drawing 8 at the up transparent glass-substrate SUB2 side so that incidence may not be carried out to the i-type-semiconductor layer AS for which an extraneous light (drawing 3 light from the upper part) is used as a channel formation field. In addition, drawing 8 is a plan describing the 1st electric conduction film d1, the light filter FIL, and the shading film BM which consist of an ITO film in drawing 2. The shading film BM is formed by for example, aluminum film with the high cover

nature to light, Cr film, etc., and Cr film is formed in about 1300Å thickness by sputtering in this liquid crystal display.

[0036] The i-type-semiconductor layer AS of TFT TFT1 and TFT2 is made sandwiches by the shading film BM which exists up and down, and the gate electrode GT of size ****, and the external natural light and external back light light stop therefore, as for the portion, hitting. As the hatching portion of drawing 8 shows the shading film BM, it is formed in the circumference of a pixel, that is, the shading film BM is formed in the shape of a grid (black matrix), and the 1-pixel effective viewing area is divided with this grid. Therefore, the profile of each pixel carries out clearly with the shading film BM, and contrast improves. That is, the shading film BM has two functions of shading to the i-type-semiconductor layer AS, and a black matrix.

[0037] Moreover, since the portion (drawing 2 lower right portion) which counters the edge section by the side of the origin of the direction of rubbing of the transparent pixel electrode ITO1 is shaded with the shading film BM and a domain cannot be seen though a domain occurs into the above-mentioned portion, a display property does not deteriorate.

[0038] In addition, a back light can be attached in the up transparent glass-substrate SUB2 side, and lower transparent glass-substrate SUB1 can

also be made into an observation side (external exposure side).

[0039] (Light filter FIL) A light filter FIL colors a color the bathochromic group material formed with resin material, such as acrylic resin, and is constituted. A light filter FIL is formed in the position which counters a pixel in the shape of a stripe (drawing 9), and is dyed in various colors (drawing 9 is a thing only describing 1st electric conduction **** d1 of drawing 5, the shading film BM, and the light filter FIL, and each light filter FIL of B, R, and G has given the hatch of 45 degrees, 135 degrees, and a cross, respectively). As shown in drawing 8 and drawing 9, a light filter FIL is formed in size **** so that all the transparent pixel electrodes ITO1 may be covered, and the shading film BM is formed inside the periphery section of the transparent pixel electrode ITO1 so that it may lap with the edge portions of a light filter FIL and the transparent pixel electrode ITO1.

[0040] As shown also in drawing 1 which is the outline cross section showing some liquid crystal displays shown in drawing 2 etc., the red light filter FIL (R) carries out the laminating of the yellow filter layer YEF and the red filter layer REF, and is formed, and the green light filter FIL (G) carries out the laminating of the yellow filter layer YEF and the cyano filter layer CYF, and is formed, and the

and the blue filter layer BLF, and is formed

[0041] For this reason, since the CIE chromaticity of a light filter FIL can be changed by changing the thickness of the yellow filter layer YEF, the red filter layer REF, the cyano filter layer CYF, and each blue filter layer BLF and the CIE chromaticity of a light filter FIL can be changed, without changing the kind of coloring material, and inner ****, though the CIE chromaticity of a light filter is changed freely and frequently, there is no bird clapper that a manufacturing cost is expensive.

[0042] A light filter FIL can be formed as follows. First, bathochromic group material is formed in the front face of up transparent glass:substrate SUB2, and photolithography technology removes bathochromic group material other than a yellow filter layer YEF formation field. Then, bathochromic group material is dyed with a yellow color, and fixing processing is performed. The cyano filter layer CYF, the red filter layer REF, and the blue filter layer BLF are formed one by one by giving the same process to the next.

[0043] (Protective coat PSV2) The protective coat PSV2 is formed in order to prevent that the color which dyed the light filter FIL in various colors in a different color leaks to liquid crystal LC.

acrylic resin and an epoxy resin.
 [0044] (Common transparent pixel electrode ITO2) The common transparent pixel electrode ITO2 counters the transparent pixel electrode ITO1 prepared in the lower transparent glass-substrate SUB1 side for every pixel, and the optical state of liquid crystal LC answers the potential difference between each pixel electrode ITO1 and the common transparent pixel electrode ITO2 (electric field), and changes. It is constituted so that the common voltage Vcom may be impressed to this common transparent pixel electrode ITO2. The common voltage Vcom is the middle potential of the driver voltage Vdmin of the low level impressed to the video-signal line DL, and the high-level driver voltage Vdmax.

[0045] (Gate terminal GTM) Drawing 1 is drawing showing the connection structure from the scanning signal line GL of a display matrix to the gate terminal GTM which is the external end-connection child. (A) is a flat surface and (B) shows the cross section in the B-B cutting plane line of (A). In addition, this drawing shows near the left end of lower transparent glass-substrate SUB1, if based on the matrix of drawing 5.

[0046] the mask pattern for photographic processing in AO -- in other words, it is the photoresist pattern of alternative anodic oxidation. Therefore, this photoresist is removed after anodic

oxidation, and although the mask pattern AO shown in drawing does not remain as a finished product, since an oxide film on anode AOF is alternatively formed in the gate wiring GL as shown in a cross section, the tracing remains. In a plan, they are the field which covers left-hand side by the resist on the basis of the boundary line AO of a photoresist, and does not carry out anodic oxidation, and the field by which right-hand side is exposed from a resist and anodic oxidation is carried out. As for the 2nd electric conduction films g2 by which anodic oxidation was carried out, it is formed in a front face, the 2Ooxide aluminum3 film AOF, i.e., oxide film on anode, and, as for a downward current carrying part, volume decreases in number. Of course, anodic oxidation sets up suitable time, voltage, etc. and is performed so that the current carrying part may remain. A mask pattern AO does not intersect the scanning signal line GL in a single straight line, but bends in the shape of a crank, and is made to cross. For this reason, since the fusing advances along with the end face of a photoresist film even if ablation begins from the photoresist portion which intersects the level difference section of the scanning signal line GL and fusing of the 2nd electric conduction film g2 occurs with anodic oxidation voltage, fusing of the 2nd electric conduction film g2 stops at a crank-like portion. Therefore, it can

prevent that the scanning signal line GL is disconnected at the time of anodic oxidation.

[0047] In addition, in this example, although a phot register patterns on the 2nd electric conduction film g2 were constituted from a crank configuration, it is not caught by this configuration. If it is the configuration which stops this when ablation occurs and advances to a phot register patterns in short, you may constitute from independent or combination, such as a rectangle, a triangle, circular, and a trapezoid.

[0048] Drawing (A) Although the hatch is given in order to make intelligible the 2nd electric conduction film g2 of inside, patterning of the field by which anodic oxidation is not carried out is carried out to the pectinate. Since whiskers generate [the width of face of the 2nd electric conduction film g2] this on latus and a front face, 1 one width of face is an aim which presses down the sacrifice of the probability of an open circuit, or conductivity to minimum, preventing generating of whiskers by narrowing and considering as the composition which bundled them to two or more parallel. Therefore, in this liquid crystal display, the portion equivalent to the origin of a comb is also shifted along with the mask pattern AO.

[0049] With the 1st electric conduction

gate terminal GTM protects the front face further, and consists of a transparent pixel electrode IT01 and the 1st conductive layer d1 with this transparent level (this layer, simultaneous formation).

In addition, it reached 2nd electric conduction film d2, and the 3rd electric conduction film d3 remains as a result which was formed in the gate insulator layer GI top and its lateral portion and which had covered the field by the photoresist so that neither the 2nd electric conduction film g2 nor the 1st electric conduction film g1 might

***** together owing to a pinhole etc. at the time of etching of the 3rd electric conduction film d3 or the 2nd electric conduction film d2. Moreover, the 1st electric conduction film d1 which overcame the gate insulator layer GI and was extended rightward takes the same measures still more thoroughgoing.

[0050] The protective coat PSV1 is also formed on the right of the boundary line on the right of the boundary line, the gate insulator layer GI exposes from them the gate terminal GTM located in a left end, and the electric contact to an external circuit has come to be able to do it in a plan. Drawing, although only one pair of the scanning signal line GL and a gate terminal GTM is shown, such [in practice] two or more pairs are put in order up and down drawing, and the left

field of lower transparent glass-substrate SUB1 in manufacture process drawing. Such a short circuit in manufacture process is useful to the electrostatic-discharge prevention at the time of the electric supply at the time of anodic oxidation, and rubbing of the orientation film ORI1 etc.

[0051] ((DTM) Drain terminal) Drawing 10 is drawing showing connection from the video-signal line DL to the drain terminal DTM which is the external end-connection child. (A) shows the flat surface and (B) shows the cross section in the B-B cutting plane line of (A). If this drawing is based on the matrix of drawing 5, although the upper-limit section and the soffit section of lower transparent glass-substrate SUB1 are shown and the direction is changed for convenience, the direction of a left end corresponds to the upper-limit section or the soffit section of lower transparent glass-substrate SUB1.

[0052] TSTd is an inspection terminal and an external circuit is not connected to the inspection terminal TSTd. Although termination is carried out without arriving at the edge of lower transparent glass-substrate SUB1 as it is arranged alternately with plurality alternately [the inspection terminal TSTd and the drain terminal DTM] in the vertical direction and the inspection terminal TSTd is shown in drawing, the drain terminal DTM is further extended

exceeding the cutting plane line of lower transparent glass-substrate SUB1, and as for the inside of manufacture process, the all connect too hastily mutually for electrostatic-discharge prevention. The drain terminal DTM is connected to an opposite side on both sides of the matrix of the video-signal line DL by which the inspection-among drawing terminal TSTd exists, and the inspection terminal TSTd is connected to an opposite side on both sides of the matrix of the video-signal line DL by which the drain terminal DTM exists conversely.

[0053] The drain terminal DTM is formed by two-layer [of the 1st electric conduction film d1 which consists of the 1st electric conduction film g1 and ITO film which consist of a Cr film by the same reason as the gate terminal GTM mentioned above], and is connected with the video-signal line DL in the portion which removed the gate insulator layer GI. The semiconductor layer AS formed on the edge of the gate insulator layer GI is for *****ing the edge of the gate insulator layer GI in the shape of a taper. On the drain terminal DTM, in order to make connection with an external circuit, it is removed not to mention the protective coat PSV1. Although AO is the anodic oxidation mask mentioned above, the boundary line is formed so that matrix ***** may be surrounded greatly, and left-hand side is covered with a mask from the boundary line of the anodic

oxidation mask AO drawing, since the 2nd electric conduction film g2 does not exist in the portion which is not covered in this drawing, this pattern is not directly related.

[0054] (Structure of the retention volume element Cadd) In the edge connected with TFT TFT, and the edge of an opposite side, the transparent pixel electrode ITO1 is formed so that it may lap with the next scanning signal line GL. This superposition constitutes the retention volume element (electrostatic capacitive element) Cadd which uses the transparent pixel electrode ITO1 as one electrode PL 2, and uses the next scanning signal line GL as the electrode PL 1 of another side so that clearly also from drawing 4. The dielectric film of this retention volume element Cadd consists of an insulator layer GI used as a gate insulator layer of TFT TFT, and an oxide film on anode AOE.

[0055] The retention volume element Cadd is formed in the portion which expanded the width of face of the 2nd electric conduction film g2 of the scanning signal line GL so that clearly also from drawing 6. In addition, the 2nd electric conduction film g2 of the portion which intersects the video-signal line DL is made thin in order to make small probability of a short circuit with the video-signal line DL. The defect is

might be straddled and which reached 2nd electric conduction film d2 and consisted of 3rd electric conduction films d3 even if the transparent pixel electrode ITO1 is disconnected in the level difference section of the electrode PL 1 of the retention volume element Cadd. This island field is constituted as small as possible so that a numerical aperture may not be fallen.

[0056] (The whole display equal circuit) The schematics of the equal circuit and circumference circuit of the display matrix section are shown in drawing 11. Although this drawing is a circuit diagram, it is drawn corresponding to actual geometry. AR is the matrix array which arranged two or more pixels in the shape of-dimensional [2].

[0057] Among drawing, X means the video-signal line DL and Subscripts G, B, and R are added corresponding to green, blue, and the red pixel, respectively. Y means the scanning signal line GL and subscripts 1, 2, and 3, ..., end are added according to the sequence of scanning timing.

[0058] The video-signal line X (subscript ellipsis) is connected to the top (or odd number) video-signal drive circuit helium and the bottom (or even number) video-signal drive circuit Ho by turns.

[0059] The scanning signal line Y (subscript ellipsis) is connected to the

circuit which exchanges for the information for TFT liquid crystal displays the information for CRT (cathode-ray tube) from the power circuit and host (host processor) for obtaining the stable voltage source which plurality pressured partially from one voltage source.

[0061] (The equal circuit and operation of the retention volume element Cadd) The equal circuit of the pixel shown in drawing 2 is shown in drawing 12. In drawing 12, Cgs is a parasitic capacitance formed between the gate electrode GT of TFT TFT, and the source electrode SD 1. The dielectric films of a parasitic capacitance Cgs are an insulator layer GI and an oxide film on anode AOF. Cpix is a liquid crystal capacity formed between the transparent pixel electrode ITO1 (PIX) and the common transparent pixel electrode ITO2 (COM). The dielectric films of the liquid crystal capacity Cpix are liquid crystal LC, a protective coat PSV1, and the orientation films ORI1 and ORI2. Vlc is middle point potential.

[0062] When TFT TFT switches, the retention volume element Cadd works so that the influence of gate potential change ΔV_g to the middle point potential (pixel electrode potential) Vlc may be reduced. If this situation is expressed with a formula, it will become like the following formula.

[0063]

$$\Delta V_{lc} = \{C_{gs} / (C_{gs} + C_{add} + C_{pix})\} \times \Delta V_g$$
 -- here, ΔV_{lc} expresses a changed part of the middle point potential by ΔV_g Although this change part ΔV_{lc} causes a dc component which joins liquid crystal LC, the more it enlarges retention volume Cadd, the more the value can be made small. Moreover, the retention volume element Cadd also has the operation which lengthens a charging time value, and accumulates the image information after TFT TFT turns off for a long time. Reduction of the dc component impressed to liquid crystal LC can improve the life of liquid crystal LC, and can reduce the so-called seizure by which a front picture remains at the time of the change of a liquid crystal display screen.

[0064] As mentioned above, overlap area of the gate electrode GT with the part, the source electrode SD 1, and the drain electrode SD 2 which are enlarged increases so that the i-type-semiconductor layer AS may be covered completely, therefore a parasitic capacitance Cgs becomes large, and the opposite effect of becoming easy to be influenced of the gate (scan) signal V_g produces the middle point potential Vlc. However, this demerit is also cancelable by forming the retention volume element Cadd.

[0065] The retention volume of the retention volume element Cadd is set as the value about eight to 32 times (8 and

$C_{gs} < C_{add} < 32 \cdot C_{gs}$) from the write-in property of a pixel to four to 8 times ($4 \cdot C_{pix} < C_{add} < 8 \cdot C_{pix}$), and a parasitic capacitance C_{gs} to the liquid crystal capacity C_{pix} .

[0066] (The connection method of a retention volume element C_{add} electrode line) The scanning signal line GL (Y0) of the first rank used only as a retention volume electrode line is connected to the common transparent pixel electrode ITO2 (Vcom) as shown in drawing 11. Since silver paste material connects with external drawer wiring of lower transparent glass-substrate SUB1 in the periphery section of a liquid crystal display as mentioned above, the common transparent pixel electrode ITO2 of upper transparent glass-substrate SUB2 should just connect the scanning signal line GL (Y0) of the first rank to the external drawer wiring by the lower transparent glass-substrate SUB1 side. Or you may connect the retention volume electrode line Y0 of the first rank so that it may connect with the scanning signal line Yend of the last stage at direct-current potential points other than connection and Vcom (alternating current grounding point) or the scanning pulse Y0 may be received in one excess from the vertical-scanning circuit V.

[0067] (The manufacture method) Below, the manufacture method by the side of

above is explained with reference to drawing 13 - drawing 15. In addition, in this drawing, a central character is the abbreviated name of a process name, and the pixel portion which shows left-hand side to drawing 3, and right-hand side show the flow of processing seen in the cross-section configuration near [which is shown in drawing 1] a gate terminal. Except for Process D, Process A - Process I are what was classified corresponding to each photographic processing, and show the stage which processing after photographic processing finished any cross section of each process, and removed the photoresist. In addition, in this explanation, photographic processing shall show a series of work until it develops it through the selection exposure which used the mask from the application of a photoresist, and avoids explanation of recurrence. It explains according to the process classified below.

[0068] Process A (drawing 13)

After forming the silicon-oxide film SiO₂ in both sides of lower transparent glass-substrate SUB1 which consists of 7059 glass (tradename) by DIP processing, 500 degrees C and BEKU for 60 minutes are performed. On lower transparent glass-substrate SUB1, thickness forms the 1st electric conduction film g1 which consists of a Cr film which is 1100Å by sputtering, and

ammonium solution of a nitric acid as an etching reagent after photographic processing. The anodic oxidation pad (not shown) connected to the anodic oxidation bus line (not shown) which connects gate-terminal GTM, the drain terminal DTM, and a gate terminal GTM, the bus line (not shown) which short-circuits the drain terminal DTM, and the anodic oxidation bus line by it is formed.

[0069] Process B (drawing 13)

Thickness forms the 2nd electric conduction film g2 which consists of aluminum-Pd, aluminum-Si, aluminum-Si-Ti, aluminum-Si-Cu, etc. which are 2800Å by sputtering. The 2nd electric conduction film g2 is alternatively *****ed after photographic processing with the mixed-acid liquid of a phosphoric acid, a nitric acid, and a glacial acetic acid.

[0070] Process C (drawing 13)

Lower transparent glass-substrate SUB1 is immersed into the anodic oxidation liquid which consists of liquid which diluted with ethylene glycol liquid to 1:9 the solution which adjusted the tartaric acid to PH 6.25**0.05 by ammonia 3% after photographic processing (after the anodic oxidation mask AO formation mentioned above), and it adjusts so that anodic oxidation current density may become 0.5 mA/cm² (constant-current anodic oxidation). Anodic oxidation is performed until it amounts to anodic oxidation voltage 125V [required next to

obtain 20aluminum3 predetermined thickness]. Then, it is desirable to hold in this state for several 10 minutes (constant-voltage anodic oxidation). This is important, when obtaining the uniform oxide film on anode AOF. It carries out anodic oxidation of the 2nd electric conduction film g2, and the oxide film on anode AOF whose thickness is 1800Å is formed of it on the scanning signal line GL, the gate electrode GT, and an electrode PL 1.

[0071] Process D (drawing 14)

After introducing ammonia gas, silane gas, and nitrogen gas into plasma CVD equipment, preparing the silicon nitride film whose thickness is 2000Å, introducing silane gas and hydrogen gas into plasma CVD equipment and preparing the i-type amorphous Si film whose thickness is 2000Å, hydrogen gas and phosphine gas are introduced into plasma CVD equipment, and the N(+) type amorphous Si film whose thickness is 300Å is prepared.

[0072] Process E (drawing 14)

The island of the i-type-semiconductor layer AS is formed after photographic processing by *****ing alternatively an N(+) type amorphous Si film and an i-type amorphous Si film as dry etching gas using SF₆ and CCl₄.

[0073] Process F (drawing 14)

SF₆ is used as dry etching gas after photographic processing, and a silicon nitride film is *****ed alternatively.

[0074] Process G (drawing 15)

Thickness forms the 1st electric conduction film d1 which consists of an ITO film which is 1400Å by sputtering. The best layer and the transparent pixel electrode ITO1 of gate-terminal GTM and the drain terminal DTM are formed after photographic processing by *****ing the 1st electric conduction film d1 alternatively with the mixed-acid liquid of a hydrochloric acid and a nitric acid as an etching reagent.

[0075] Process H (drawing 15)

The 2nd electric conduction film d2 which consists of a Cr film whose thickness is 600Å is formed by sputtering, and the 3rd electric conduction film d3 which consists of aluminum-Pd, aluminum-Si, aluminum-Si-Ti, aluminum-Si-Cu, etc. whose thickness is 4000Å further is formed by sputtering. The 3rd electric conduction film d3 is *****ed with the same liquid as Process B after photographic processing, the 2nd electric conduction film d2 is *****ed with the same liquid as Process A, and the video-signal line DL, the source electrode SD 1, and the drain electrode SD 2 are formed. N(+) type semiconductor layer d0 between the source and a drain is alternatively removed by introducing CCl₄ and SF₆ into a dry etching system, and next, *****ing an N(+) type amorphous Si film.

gas are introduced into plasma CVD equipment, and the silicon nitride film whose thickness is 1 micrometer is prepared. A protective coat PSV1 is formed after photographic processing by *****ing a silicon nitride film alternatively with the photo-etching technology which used SF₆ as dry etching gas.

[0077] Drawing 17 is the outline cross section showing some of other liquid crystal displays concerning this invention. As shown in drawing, in this liquid crystal display, the yellow filter layer YEF of the red light filter FIL (R) and the yellow filter layer YEF of the green light filter FIL (G) are the same layers, and the cyano filter layer CYF of the green light filter FIL (G) and the cyano filter layer CYF of the blue light filter FIL (B) are the same layers.

[0078] Drawing 18 is the outline cross section showing some of other liquid crystal displays concerning this invention. As shown in drawing, in this liquid crystal display, the blue filter layer BLF of the blue light filter FIL (B) is formed in the upper part | layer / cyano filter / CYF | glass transparent substrate SUB 2 side.

[0079] Drawing 19 is the outline cross section showing some of other liquid crystal displays concerning this invention. As shown in drawing, it sets to this liquid

the upper part | layer / cyano filter / CYF | glass transparent substrate SUB 2 side. The yellow filter layer YEF of the red light filter FIL (R) and the yellow filter layer YEF of the green light filter FIL (G) are the same layers. The cyano filter layer CYF of the green light filter FIL (G) and the cyano filter layer CYF of the blue light filter FIL (B) are the same layers.

[0080]

[Effect of the Invention] Since the CIE chromaticity of a light filter can be changed by changing the thickness of each filter layer of a different color in the liquid crystal display concerning this invention as explained above, though the CIE chromaticity of a light filter is changed freely and frequently, there is no bird clapper that a manufacturing cost is expensive. Thus, this effect of the invention is remarkable.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the outline cross section showing some liquid crystal displays shown in drawing 2 etc.

[Drawing 2] It is the important section plan showing 1 pixel and its circumference of the liquid crystal display section of the electrochromatic display display of the active matrix method with which this invention is applied.

[Drawing 3] It is the cross section

showing 1 pixel in three to 3 cutting plane line of drawing 2 , and its circumference.

[Drawing 4] It is the cross section of the retention volume element Cadd in four to 4 cutting plane line of drawing 2 .

[Drawing 5] It is the important section plan of the liquid crystal display section which has arranged two or more pixels shown in drawing 2 .

[Drawing 6] They are the electric conduction film g2 of the pixel shown in drawing 2 , and a plan describing the i-type-semiconductor layer AS.

[Drawing 7] It is a plan only describing the electric conduction films d1, d2, and d3 of the pixel shown in drawing 2 .

[Drawing 8] It is a plan only describing the pixel electrode layer, shading film, and light-filter layer of the pixel shown in drawing 2 .

[Drawing 9] It is an important section plan only describing the pixel electrode layer, shading film, and light-filter layer of the pixel array shown in drawing 5 .

[Drawing 10] It is drawing of a flat surface and a cross section showing near the connection of the drain terminal DTM and the video-signal line DL.

[Drawing 11] It is the representative circuit schematic showing the liquid crystal display section of the electrochromatic display display of an active matrix method.

[Drawing 12] It is the representative circuit schematic of the pixel shown in

drawing 2.

[Drawing 13] It is the flow chart of the cross section of the pixel section and the gate-terminal section which shows the manufacturing process of process A-C by the side of lower transparent glass-substrate SUB1.

[Drawing 14] It is the flow chart of the cross section of the pixel section and the gate-terminal section which shows the manufacturing process of process D-F by the side of lower transparent glass-substrate SUB1.

[Drawing 15] It is the flow chart of the cross section of the pixel section and the gate-terminal section which shows the manufacturing process of process G-I by the side of lower transparent glass-substrate SUB1.

[Drawing 16] It is drawing of a flat surface and a cross section showing the connection neighborhood of a gate terminal GTM and the scanning signal line GL.

[Drawing 17] It is the outline cross section showing some of other liquid crystal displays concerning this invention.

[Drawing 18] It is the outline cross section showing some of other liquid crystal displays concerning this invention.

[Drawing 19] It is the outline cross section showing some of other liquid crystal displays concerning this invention.

[Drawing 20] It is the outline cross

[Description of Notations]

SUB [-- Video-signal line] -- A transparent glass substrate, GL -- A scanning signal line, DL

GI -- An insulator layer, GT -- A gate electrode, AS--i type half-conductor layer

SD [-- Shading film] -- A source electrode or a drain electrode, PSV -- A protective coat, BM

LC [-- Transparent pixel electrode] -- Liquid crystal, TFT -- TFT, ITO

g. d [-- Oxide film on anode] -- An electric conduction film, Cadd -- A retention volume element, AOF

AO [-- Drain terminal] -- An anodic oxidation mask, GTM -- A gate terminal, DTM

FIL -- A light filter, REF -- Red filter layer, YEF -- A yellow filter layer, CYF -- Cyanogen filter layer

BLF -- Blue filter layer

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-175121

(43)公開日 平成6年(1994)6月24日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/1335	5 0 5	7408-2K	
	1/133	5 5 0	9226-2K	
	1/136	5 0 0	9018-2K	

審査請求 未請求 請求項の数1(全 15 頁)

(21)出願番号 特願平4-330416

(22)出願日 平成4年(1992)12月10日

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233088

日立デバイスエンジニアリング株式会社
千葉県茂原市早野3681番地

(72)発明者 渡辺 善樹

千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内

(72)発明者 石井 彰

千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内

(74)代理人 弁理士 中村 純之助

最終頁に続く

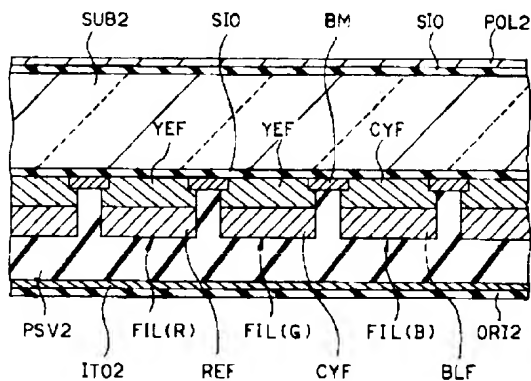
(54)【発明の名称】 液晶表示装置

(57)【要約】

【目的】 カラーフィルタのCIE色度を自由にかつ頻
繁に変更したときの製造コストを安価にする。

【構成】 赤色カラーフィルタFIL(R)をイエロー
フィルタ層YEFとレッドフィルタ層REFとを積層し
て形成し、緑色カラーフィルタFIL(G)をイエロー
フィルタ層YEFとシアンフィルタ層CYFとを積層し
て形成し、青色カラーフィルタFIL(B)をシアンフ
ィルタ層CYFとブルーフィルタ層BLFとを積層して
形成する。

図1



FIL…カラーフィルタ
REF…レッドフィルタ層
YEF…イエローフィルタ層
CYF…シアンフィルタ層
BLF…ブルーフィルタ層

1

【特許請求の範囲】

【請求項1】 カラーフィルタを有する液晶表示装置において、上記カラーフィルタを異なる色のフィルタ層を積層して形成したことを特徴とする液晶表示装置

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は薄膜トランジスタ等を使用したアクティブマトリクス方式の液晶表示装置等の液晶表示装置に関するものである。

【0002】

【従来の技術】 アクティブマトリクス方式の液晶表示装置は、マトリクス状に配列された複数の画素電極のそれぞれに対応して非線形素子（スイッチング素子）を設けたものである。各画素における液晶は理論的には常時駆動（デューティ比1：0）されているので、時分割駆動方式を採用している。いはゆる単純マトリクス方式と比べて、アクティブ方式はコントラストが良く、特にカラー液晶表示装置では欠かせない技術となりつつある。スイッチング素子として代表的なものとしては薄膜トランジスタ（TFT）がある。

【0003】 図20は従来のアクティブマトリクス方式の液晶表示装置の一部を示す概略断面図である。図に示すように、上部透明ガラス基板SUB2の両面には酸化シリコン膜SIOが設けられ、上部透明ガラス基板SUB2の外側の表面には偏光板POL2が形成され、上部透明ガラス基板SUB2の内側（液晶側）の表面には遮光膜BM、カラーフィルタFIL、保護膜PSV2、共通透明画素電極ITO2（COM）および上部配向膜ORI2が順次積層して設けられている。

【0004】 なお、薄膜トランジスタを使用したアクティブマトリクス方式の液晶表示装置は、たとえば、冗長構成を採用した11.5型アクティブマトリクス方式カラー液晶ディスプレイ、日経エレクトロニクス、頁193～210、1986年12月15日、日経マイcroウエビルを発行して知られている。

【0005】

【発明が解決しようとする課題】 このような液晶表示装置においては、カラーフィルタFILが着色される配列、塗料すなわち色剤の種類、内添料を変更することにより、カラーフィルタFILのCTE色度を自由に変更することかできるが、色剤の種類、内添料を頻繁に変更したときには、製造コストが極めて高価となる。

【0006】 この発明は上述の課題を解決するためになされたもので、カラーフィルタのCTE色度を自由に頻繁に変更したとしても、製造コストが高価とならな

2

表示装置において、上記カラーフィルタを異なる色のフィルタ層を積層して形成する。

【0008】

【作用】 この液晶表示装置においては、異なる色のフィルタ層それぞれの膜厚を変更することにより、カラーフィルタのCTE色度を変更することが容易にできる。

【0009】

【実施例】

（アクティブマトリクス液晶表示装置）以下、アクティブマトリクス方式のカラー液晶表示装置にこの発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0010】 図2はこの発明が適用されるアクティブマトリクス方式カラー液晶表示装置の一面素とその周辺を示す平面図、図3は図2の3-3切斷線における断面を示す図、図4は図2の4-4切斷線における断面図である。また、図5には図2に示す面素を複数配置したときの平面図を示す。

【0011】 （画素配置）図2に示すように、各画素は隣接する二本の走査信号線（ゲート信号線または水平信号線）GLと、隣接する二本の映像信号線（ドライ、信号線または垂直信号線）DLとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。各画素は薄膜トランジスタTFT、透明画素電極ITO1および保持容量素子Caddを含む。走査信号線GLは列方向に延在し、行方向に複数本配置されている。映像信号線DLは行方向に延在し、列方向に複数本配置されている。

【0012】 （表示部断面全体構造）図3に示すように、液晶LCを基準に上部透明ガラス基板SUB1側には薄膜トランジスタTFTおよび透明画素電極ITO1が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリクスバタームBMが形成されている。上部透明ガラス基板SUB1はたとえば1.1mm程度の厚さで構成されている。また、透明ガラス基板SUB1、SUB2の両面にはガラスが処理等により形成された酸化シリコン膜SIOが設けられている。このため、透明ガラス基板SUB1、SUB2の表面に鋭い傷があらわれても、鋭い傷を酸化シリコン膜SIOで覆うことができるので、その上にデポジットされる走査信号線GL、遮光膜BM等の膜質を均質に保つことができる。

【0013】 図示していないが、液晶封入口を除く透明ガラス基板SUB1、SUB2の縁周囲全体に沿って液晶LCを封止するようにシール材が形成され、シール材

ドレイン端子DTMと同一製造工程で形成される。

【0014】配向膜ORI1、ORI2、透明画素電極ITO1、共通透明画素電極ITO2のそれぞれの層は、シール材の内側に形成される。偏光板POL1、POL2はそれぞれ下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の外側の表面に形成されている。液晶LCは液晶分子の向Aを設定する下部配向膜ORI1と上部配向膜ORI2との間に封入され、シール材によってシールされている。下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

【0015】上部透明ガラス基板SUB2の内側（液晶LC側）の表面には、遮光膜BM、カラーフィルタFL、保護膜PSV2、共通透明画素電極ITO2（COM）および上部配向膜ORI2が順次積層して設けられている。

【0016】この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側で別個に種々の層を積み重ね、その後下部透明ガラス基板SUB1と上部透明ガラス基板SUB2とを重ね合わせ、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2との間に液晶LCを封入することによって組み立てられる。

【0017】（薄膜トランジスタTFT）薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソース・ドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0018】各画素の薄膜トランジスタTFTは、画素内において2つ（複数）に分割され、薄膜トランジスタ（分割薄膜トランジスタ）TFT1およびTFT2で構成されている。薄膜トランジスタTFT1、TFT2のそれぞれは実質的に同一サイズ（チャネル長、チャネル幅が同じ）で構成されている。この分割された薄膜トランジスタTFT1、TFT2のそれぞれは、ゲート電極GT、ゲート絶縁膜GI、i型（真性、intrinsic、導電型決定不純物がドーピングされていない）非晶質Siからなるi型半導体層AS、一方のソース電極SD1、ドレイン電極SD2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

【0019】（ゲート電極GT）ゲート電極GTは図6（図2の第2導電膜g2およびi型半導体層ASのみを描いた平面図）に示すように、走査信号線GLから垂直方向（図2および図6において上方向）に突出する形状で構成されている（T字形状に分岐されている）。ゲート電極GTは薄膜トランジスタTFT1、TFT2のそ

れぞれの能動領域を越えてるよう突出している。薄膜トランジスタTFT1、TFT2のそれぞれのゲート電極GTは、一体に（共通ゲート電極として）構成されており、走査信号線GLに連続して形成されている。この実施例では、ゲート電極GTは、単層の第2導電膜g2で形成されている。第2導電膜g2はたとえばフッ素で形成されたA1膜を用い、1000～5500Å程度の膜厚で形成する。また、ゲート電極GT上にはA1の陽極酸化膜AOFが設けられている。

【0020】このゲート電極GTは図2、図3および図6に示されているように、i型半導体層ASを完全に覆うよう（下方からみて）それより大きく形成される。したがって、下部透明ガラス基板SUB1の下方に蛍光灯等のバックライトを取り付けた場合、この不透明なA1からなるゲート電極GTが影となって、i型半導体層ASにはバックライトが当たらず、光照射による導電現象生じない薄膜トランジスタTFTの特性劣化は起きにくくなる。なお、ゲート電極GTの本来の大きさは、ソース電極SD1とドレイン電極SD2との間をまたがるに最低限必要な（ゲート電極GTとソース電極SD1、ドレイン電極SD2との位置合わせ余裕分も含めて）幅を持ち、チャネル幅Wを決めるその奥行き長さはソース電極SD1とドレイン電極SD2との間の距離（チャネル長）Lとの比、すなわち相互比（ゲート長/チャネル長）を決定するフクタW/Lをいくつにするかによって決められる。この液晶表示装置におけるゲート電極GTの大きさはもちろん、上述した本来の大きさよりも大きくされる。

【0021】（走査信号線GL）走査信号線GLは第2導電膜g2で構成されている。この走査信号線GLの第2導電膜g2はゲート電極GTの第2導電膜g2と同一製造工程で形成され、かつ一体に構成されている。また、走査信号線GL上にもA1の陽極酸化膜AOFが設けられている。

【0022】（絶縁膜GI）絶縁膜GIは薄膜トランジスタTFT1、TFT2のそれぞれのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIはたとえばプラズマCVDで形成された窒化シリコン膜を用い、1200～2700Åの膜厚（この液晶表示装置では、2000Å程度の膜厚）で形成する。

【0023】（i型半導体層AS）i型半導体層ASは、図6に示すように、複数に分割された薄膜トランジスタTFT1、TFT2のそれぞれのチャネル形成領域として使用される。i型半導体層ASは非晶質Si膜または多結晶Si膜で形成し、200～2200Åの膜厚（この液晶表示装置では、2000Å程度の膜厚）で形成する。

【0024】このi型半導体層ASは、供給ガスの成分を変えてSi₃N₄からなるゲート絶縁膜として使用され

る絶縁膜G1の形成に連続して、同じエタゾマCVD装置で、しかもそのエタゾマCVD装置から外部に露出することなく形成される。また、ナニッシュコンタクト用のリン(P)を2.5%ドープしたN(+)-型半導体層d0(図3)も同様に連続して200~500Åの膜厚

(この液晶表示装置では、300Å程度の膜厚)で形成される。しかる後、上部透明ガラス基板SUB1はCVD装置から外に取り出され、写真処理技術によりN(+)-型半導体層d0およびP型半導体層ASは図2、図3および図6に示すように独立した島状にパターン化される。

【0025】P型半導体層ASは、図2および図6に示すように、走査信号線GLと映像信号線DLとの交差部(クロスオーバー部)の両者間にも設けられている。この交差部のP型半導体層ASは交差部における走査信号線GLと映像信号線DLとの短絡を低減する。

【0026】(透明画素電極ITO1)透明画素電極ITO1は液晶表示部の画素電極の一方を構成する。

【0027】透明画素電極ITO1は薄膜トランジスタFTFT1のソース電極SD1および薄膜トランジスタFTFT2のドレイン電極SD2の両方に接続されている。このため、薄膜トランジスタFTFT1、FTFT2のうちの1つに欠陥が発生しても、その欠陥が副作用をもたらす場合は、レーザー光等によって適切な箇所を切断し、そうでない場合は他方の薄膜トランジスタが正常に動作しているので放置すればよい。なお、2つの薄膜トランジスタFTFT1、FTFT2に同時に欠陥が発生することは稀であり、このような冗長方式により点欠陥や線欠陥の確率を極めて小さくすることができ、透明画素電極ITO1は第1導電膜d1によって構成されており、この第1導電膜d1はスパッタリングで形成された透明導電膜(Indium Tin Oxide: ITO、セサ膜)からなり、1000~2000Åの膜厚(この液晶表示装置では、1400Å程度の膜厚)で形成される。

【0028】ソース電極SD1、ドレイン電極SD2は複数に分割された薄膜トランジスタFTFT1、FTFT2のそれぞれのソース電極SD1とドレイン電極SD2とは、図2、図3および図7(図2の第1~第3導電膜d1~d3のみを描いた上面図)に示すように、P型半導体層AS上にそれぞれ離隔して設けられている。

【0029】ソース電極SD1、ドレイン電極SD2のそれぞれは、N(+)-型半導体層d0に接触する下層側から、第2導電膜d2、第3導電膜d3を順次重ね合わせて構成されている。ソース電極SD1の第2導電膜d2および第3導電膜d3は、ドレイン電極SD2の第2導

電膜d2より形成するとストレスが大きくなるので、2000Å程度の膜厚を越えない範囲で形成する。Cr膜はN(+)-型半導体層d0との接触が良好である。Cr膜は後述する第3導電膜d3のA1がN(+)-型半導体層d0に拡散することを防止するいわゆるバリア層を構成する。第2導電膜d2として、Cr膜の他に高融点金属(Mo、Ta、Ti、W)膜、高融点金属シリサイド(MoSi₂、TiSi₂、TaSi₂、WSi₂)膜を用いてもよい。

【0031】第3導電膜d3はA1のスパッタリングで3000~5000Åの膜厚(この液晶表示装置では、4000Å程度の膜厚)に形成される。A1膜はCr膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減するように構成されている。第3導電膜d3として純A1膜の他にSiやCuを添加物として含有させたA1膜を用いてもよい。

【0032】第2導電膜d2、第3導電膜d3を同じマスクパターンでパターンニングした後、同じマスクを用いて、あるいは第2導電膜d2、第3導電膜d3をマスクとして、N(+)-型半導体層d0が除去される。つまり、P型半導体層AS上に残っていたN(+)-型半導体層d0は第2導電膜d2、第3導電膜d3以外の部分からセルフアライメントで除去される。このとき、N(+)-型半導体層d0はその厚さ分は全て除去されるようエッチングされるので、P型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

【0033】ソース電極SD1は透明画素電極ITO1に接続されている。ソース電極SD1は、P型半導体層AS段差(第2導電膜g2の膜厚、陽極酸化膜AOEの膜厚、P型半導体層ASの膜厚およびN(+)-型半導体層d0の膜厚を加算した膜厚に相当する段差)に沿って構成されている。具体的には、ソース電極SD1は、P型半導体層ASの段差に沿って形成された第2導電膜d2と、この第2導電膜d2の一部に形成した第3導電膜d3とで構成されている。ソース電極SD1の第3導電膜d3は第2導電膜d2のCr膜がストレスの増大から厚く形成できず、P型半導体層ASの段差形状を乗り越えられないので、このP型半導体層ASを乗り越えるために構成されている。つまり、第3導電膜d3は厚く形成することでストレスの緩和を向上している。第3導電膜d3は厚く形成できるので、ソース電極SD1の抵抗値(ドレイン電極SD2や映像信号線DLについても同様)の低減に大きく寄与している。

膜PSV1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、1 μ m程度の膜厚で形成する。

【0035】(遮光膜BM) 上部透明ガラス基板SUB2側には、外部光(図3では上方からの光)がチャンネル形成領域として使用されるI型半導体層ASに入射されないように、遮光膜BMが設けられ、遮光膜BMは図8のハッチングに示すようなパターンとされている。なお、図8は図2におけるITO膜からなる第1導電膜d1、カラーフィルタFILおよび遮光膜BMのみを描いた平面図である。遮光膜BMは光に対する遮蔽性が高いたとえばAl膜やCr膜等で形成されており、この液晶表示装置ではCr膜がスパッタリングで1300Å程度の膜厚に形成される。

【0036】したがって、薄膜トランジスタTFT1、TFT2のI型半導体層ASは上下にある遮光膜BMおよび大きなゲート電極G1によってサリドイン化され、その部分は外部の自然光やバックライト光が当たらなくなる。遮光膜BMは図8のハッチング部分で示すように、画素の周囲に形成され、つまり遮光膜BMは格子状に形成され(フラクタルマトリクス)、この格子で1画素の有効表示領域が仕切られている。したがって、各画素の輪郭が遮光膜BMによってはっきりとし、バックライトが向上する。つまり、遮光膜BMはI型半導体層ASに対する遮光とフラクタルマトリクスとの2つの機能をもつ。

【0037】また、透明画素電極ITO1のサイド方向の根本側のエッジ部に対向する部分(図2右下部分)が遮光膜BMによって遮光されているから、上記部分にトメインが発生したとしても、トメインが見えないので、表示特性が劣化することはない。

【0038】なお、バックライトを上部透明ガラス基板SUB2側に取り付け、下部透明ガラス基板SUB1を観察側(外部露出側)とすることもできる。

【0039】(カラーフィルタFIL) カラーフィルタFILはアクリル樹脂等の樹脂材料で形成される染色基材に染料を着色して構成されている。カラーフィルタFILは画素に対向する位置にストライプ状に形成され

(図9)、染め分けられている(図9は図5の第1導電膜d1、遮光膜BMおよびカラーフィルタFILのみを描いたもので、B、R、Gの各カラーフィルタFILはそれぞれ、45°、135°、クロスのハッチを施してある)。カラーフィルタFILは図8、図9に示すように透明画素電極ITO1の全てを覆うように大きな目に形成され、遮光膜BMはカラーフィルタFILおよび透明画素電極ITO1のエッジ部分と重なるよう透明画素電極ITO1の周縁部より内側に形成されている。

【0040】図2等に示す液晶表示装置の一部を示す概略断面図である図1にも示すように、赤色カラーフィルタFIL(R)はイエローフィルタ層YEFとレッドフ

ィルタ層REFとを積層して形成され、緑色カラーフィルタFIL(G)はイエローフィルタ層YEFとシアニンフィルタ層CYFとを積層して形成され、青色カラーフィルタFIL(B)はシアニンフィルタ層CYFとブルーフィルタ層BLFとを積層して形成されている。

【0041】このため、イエローフィルタ層YEF、シアニンフィルタ層REF、シアニンフィルタ層CYF、ブルーフィルタ層BLFそれぞれの膜厚を変更することにより、カラーフィルタFILのCIE色度を変更することができるから、色色の種類、内添料を変更せずにカラーフィルタFILのCIE色度を変更することができるので、カラーフィルタのCIE色度を自由にかつ頻繁に変更したとしても、製造コストが高価となることがない。

【0042】カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面に染色基材を形成し、フォトリソグラフィ技術でイエローフィルタ層YEF形成領域以外の染色基材を除去する。この後、染色基材をイエロー染料で染め、固着処理を施す。つぎに、同様な工程を施すことによって、シアニンフィルタ層CYF、レッドフィルタ層REF、ブルーフィルタ層BLFを順次形成する。

【0043】(保護膜PSV2) 保護膜PSV2はカラーフィルタFILを異なる色に染め分けた染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2はたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0044】(共通透明画素電極ITO2) 共通透明画素電極ITO2は、下部透明ガラス基板SUB1側に画素ごとに設けられた透明画素電極ITO1に対向し、液晶LCの光学的な状態は各画素電極ITO1と共通透明画素電極ITO2との間の電位差(電界)にตอบสนองして変化する。この共通透明画素電極ITO2には共通電圧Vcomが印加されるように構成されている。共通電圧Vcomは映像信号線DLに印加されるロウレベルの駆動電圧Vdminとハイレベルの駆動電圧Vdmaxとの中間電位である。

【0045】(ゲート端子GTM) 図1は表示マトリクスの走査信号線GLからその外部接続端子であるゲート端子GTMまでの接続構造を示す図であり、(A)は平面図であり、(B)は(A)のB-B切断線における断面を示している。なお、同図は図5のマトリクスを基準にすれば下部透明ガラス基板SUB1の左端付近を示すものである。

【0046】AOは写真処理用のマスクパターン、言い換えれば選択的陽極酸化のホトリソマスクパターンである。したがって、このホトリソマスクは陽極酸化後除去され、図に示すマスクパターンAOは完成品としては残らないが、ゲート配線GLには断面図に示すように陽極酸化膜AOFが選択的に形成されるので、その軌跡が残る。平面図において、ホトリソマスクの境界線AOを基準

10

20

30

40

50

にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。陽極酸化された第2導電膜g2は表面にその酸化物 Al_2O_3 膜となわり陽極酸化膜AOが形成され、下方の導電部は体積が減る。もちろん、陽極酸化はその導電部が残るうちに適切な時間、電圧などを設定して行われる。マスクパターンAOは走査信号線GLに単一の直線では交差せず、クラシク状に折れ曲がって交差させている。このため、走査信号線GLの段差部と交差するホトレジスト部分から剥離が始まり、陽極酸化電圧により第2導電膜g2の溶断が発生しても、その溶断はホトレジスト膜の端面に沿って進行するため、第2導電膜g2の溶断はクラシク状の部分で止まる。したがって、陽極酸化時に走査信号線GLが断線するのを防止することができる。

【0047】なお、この実施例では、第2導電膜g2上のホトレジスタを、クラシク形状で構成したが、この形状にとらわれるものではない。要はホトレジスタに剥離が発生し進行する時に、これを止める形状なら矩形、三角形、円形、台形等の単独または組合せて構成してもよい。

【0048】図1(A)中第2導電膜g2は、再易化するためハッチを施してあるが、陽極酸化されない領域は幅状にハッチングされている。これは、第2導電膜g2の幅が広いと表面にホイスカが発生するので、1本1本の幅を狭くし、それらを複数本並列に束ねた構成とすることにより、ホイスカの発生を防ぎつつ、配線の確率や導電率の犠牲を最低限に抑えよう狙いである。したがって、この液晶表示装置では極の根本に相当する部分でもマスクパターンAOに沿ってずらしている。

【0049】ゲート端子GTMは酸化シリコン膜STOと接着性の良いCr膜からなる第1導電膜g1と、さらにその表面を保護し透明画素電極ITO1と同レベル（同層、同時形成）の透明な第1導電層d1で構成されている。なお、ゲート絶縁膜G1上およびその側面部に形成された第2導電膜d2および第3導電膜d3は、第3導電膜d3と第2導電膜d2のエンチャージ時にホイスカ等が原因で第2導電膜g2や第1導電膜g1が一緒にエンチャージされないようその領域をホトレジストで覆っていた結果として残っているものである。また、ゲート絶縁膜G1を東り越えて右方向に延長された第1導電膜d1は同様な対策を更に万全とさせたものである。

【0050】平面図において、ゲート絶縁膜G1はその境界線よりも右側に、保護膜PSV1もその境界線よりも右側に形成されており、左端に位置するゲート端子GTMはそれらから露出し外部回路との電氣的接触ができるようになっている。図では、走査信号線GLとゲート

SUB1の切断領域を越えて延長され、短絡される。製造過程におけるこのような短絡は陽極酸化時の給電と、配向膜ORI1のヒートアップ時等の静電破壊防止に役立つ。

【0051】（ドレイン端子DTM）図10は映像信号線DLからその外部接続端子であるドレイン端子DTMまでの接続を示す図であり、(A)はその平面を示し、(B)は(A)のB-B切断線における断面を示す。同図は、図5のマトリクスを基準にすれば下部透明ガラス基板SUB1の上端部および下端部を示しており、便宜上方向は変えてあるが左端方向が下部透明ガラス基板SUB1の上端部または下端部に該当する。

【0052】TSFdは検査端子であり、検査端子TSFdには外部回路は接続されない。検査端子TSFdとドレイン端子DTMとは上下方向に千鳥状に複数交互に配列され、検査端子TSFdは図に示すとおり下部透明ガラス基板SUB1の端部に到達することなく終端しているが、ドレイン端子DTMは下部透明ガラス基板SUB1の切断線を超えて更に延長され、製造過程では静電破壊防止のためその全てが互いに短絡される。[4]中検査端子TSFdが存在する映像信号線DLのマトリクスを挟んで反対側にはドレイン端子DTMが接続され、逆にドレイン端子DTMが存在する映像信号線DLのマトリクスを挟んで反対側には検査端子TSFdが接続される。

【0053】ドレイン端子DTMは前述したゲート端子GTMと同様な理由でCr膜からなる第1導電膜g1およびITO膜からなる第1導電膜d1の2層で形成されており、ゲート絶縁膜G1を除去した部分で映像信号線DLと接続されている。ゲート絶縁膜G1の端部に形成された半導体層ASはゲート絶縁膜G1の縁をカーブ状にエンチャージするためのものである。ドレイン端子DTM上では外部回路との接続を行なうため保護膜PSV1はもちろんのこと取り除かれている。AOは前述した陽極酸化マスクであり、その境界線はマトリクス全体を大きく囲むように形成され、図では陽極酸化マスクAOの境界線から左側がマスクで覆われるが、この図で覆われない部分には第2導電膜g2が存在しないので、このパターンは直接は関係しない。

【0054】（保持容量素子Caddの構造）透明画素電極ITO1は、薄膜トランジスタTFTと接続される端部と反対側の端部において、隣りの走査信号線GLと重なるように形成されている。この重ね合わせは、図4からも明らかなように、透明画素電極ITO1を一方の電極PL2とし、隣りの走査信号線GLを他方の電極PL1とする保持容量素子（静電容量素子）Caddを構成する。この保持容量素子Caddの誘電体膜は、薄膜トラン

なように、走査信号線G₁の第2導電膜g₂の幅を広げた部分に形成されている。なお、映像信号線D₁と交差する部分の第2導電膜g₂は映像信号線D₁との短絡の確率を小さくするため細くされている。保持容量素子C_{add}の電極P_{L1}の段差部において透明画素電極ITO₁が断線しても、その段差をまたがるように形成された第2導電膜d₂および第3導電膜d₃で構成された島領域によってその不良は補償される。この島領域は、開口率を低下しないように、できる限り小さく構成する。

【0056】(表示装置全体等価回路)表示マトリクス部の等価回路とその周辺回路の結線図を図11に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0057】図中、Xは映像信号線D₁を意味し、赤字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線G₁を意味し、赤字1、2、3、...、endは走査タイミングの順序にしたがって付加されている。

【0058】映像信号線X(赤字省略)は交互に上側(または奇数)映像信号駆動回路H_e、下側(または偶数)映像信号駆動回路H_oに接続されている。

【0059】走査信号線Y(赤字省略)は垂直走査回路Vに接続されている。

【0060】SUBは1つの電圧源から複数の分圧した安定化された電圧源を得るための電圧回路やボスト(上位演算処理装置)からのCRT(陰極線管)用の情報をTFT液晶表示装置用の情報に変換する回路を含む回路である。

【0061】(保持容量素子C_{add}の等価回路とその動作)図2に示される画素の等価回路を図12に示す。図12において、C_{gs}は薄膜トランジスタTFTのゲート電極G₁とソース電極SD₁との間に形成される寄生容量である。寄生容量C_{gs}の誘電体膜は絶縁膜G₁および陽極酸化膜AOEである。C_{pix}は透明画素電極ITO₁(PIX)と共通透明画素電極ITO₂(COM)との間に形成される液晶容量である。液晶容量C_{pix}の誘電体膜は液晶LC、保護膜PSV₁および配向膜ORI₁、ORI₂である。V_hは中点電位である。

【0062】保持容量素子C_{add}は、薄膜トランジスタTFTがスイッチングするとき、中点電位(画素電極電位)V_hに対するゲート電位変化ΔV_gの影響を低減するように働く。この様子を式で表すと、次式のようになる。

【0063】

$$\Delta V_h = \frac{C_{gs}}{C_{gs} + (C_{gs} + C_{add} + C_{pix})} \cdot \Delta V_g$$

ここで、ΔV_hはΔV_gによる中点電位の変化分を表す。この変化分ΔV_hは液晶LCに加わる直流成分の原因となるが、保持容量C_{add}を大きくすればする程、その値を小さくすることができ、また、保持容量素子C

addは放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長し蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0064】前述したように、ゲート電極G₁はn型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD₁、ドレイン電極SD₂とのオーバーラップ面積が増え、したがって寄生容量C_{gs}が大きくなり、中点電位V_hはゲート(走査)信号V_gの影響を受け易くなるという逆効果が生じる。しかし、保持容量素子C_{add}を設けることによりこのデメリットも解消することができる。

【0065】保持容量素子C_{add}の保持容量は、画素の書込特性から、液晶容量C_{pix}に対して4~8倍(4<C_{pix}+C_{add}<8+C_{pix})、寄生容量C_{gs}に対して8~32倍(8<C_{gs}+C_{add}<32+C_{gs})程度の値に設定する。

【0066】(保持容量素子C_{add}電極線の結線方法)保持容量電極線としてのみ使用される初段の走査信号線G₁(Y₀)は、図11に示すように、共通透明画素電極ITO₂(V_{com})に接続する。上部透明ガラス基板SUB₂の共通透明画素電極ITO₂は、前述したように、液晶表示装置の周縁部において銀ペースト材によって下部透明ガラス基板SUB₁の外部引出配線に接続されているので、初段の走査信号線G₁(Y₀)は下部透明ガラス基板SUB₁側でその外部引出配線に接続すれば良い。あるいは、初段の保持容量電極線Y₀は最終段の走査信号線Y_{end}に接続、V_{com}以外の直流電位点(交流接地点)に接続するかまたは垂直走査回路Vから1つ余分に走査パルスY₀を受けると接続してもよい。

【0067】(製造方法)つきに、上述した液晶表示装置の下部透明ガラス基板SUB₁側の製造方法について図13~図15を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側は図3に示す画素部分、右側は図1に示すゲート端子付近の断面形状でみた加工の流れを示す。工程Dを除き工程A~工程Iは各写真処理に対応して区分けしたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトリソットを除いた段階を示している。なお、写真処理とは本説明ではフォトリソットの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返し説明は避ける。以下区分けした工程に従って、説明する。

【0068】工程A(図13)

7059ガラス(商品名)からなる下部透明ガラス基板SUB₁の両面に酸化シリコン膜SiO₂を化学気相処理により設けたのち、500℃、60分間のアニールを行なう。下部透明ガラス基板SUB₁上に膜厚が1100ÅのCr膜からなる第1導電膜g₁をスパッタリングによ

13

り設計、写真処理後、エッチング液として硝酸第2セリウムアンモニウム溶液で第1導電膜g1を選択的にエッチングする。それによって、ゲート端子GTM、ドレイン端子DTM、ゲート端子GTMを接続する陽極酸化バスマイニ（図示せず）、ドレイン端子DTMを短絡するバスマイニ（図示せず）、陽極酸化バスマイニに接続された陽極酸化バッド（図示せず）を形成する。

【0069】工程B（図13）

膜厚が2800ÅのAl-Pd、Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第2導電膜g2をスパッタリングにより設ける。写真処理後、リン酸と硝酸と氷酢酸との混酸液で第2導電膜g2を選択的にエッチングする。

【0070】工程C（図13）

写真処理後（前述した陽極酸化マスクAO形成後）、3%酒石酸をアンモニアによりpH6.25±0.05に調整した溶液をエッチングリコーラ液で1:9に希釈した液からなる陽極酸化液中に下部透明ガラス基板SUB1を浸漬し、陽極酸化電流密度が0.5mA/cm²になるように調整する（定電流陽極酸化）。つぎに、所定のAl₂O₃膜厚が得られるのに必要な陽極酸化電圧1.25Vに達するまで陽極酸化を行なう。その後、この状態で数10分保持することが望ましい（定電圧陽極酸化）。これは均一な陽極酸化膜AOFを得る上で大事なことである。それによって、第2導電膜g2を陽極酸化され、走査信号線GL、ゲート電極GTおよび電極PL1上に膜厚が1800Åの陽極酸化膜AOFが形成される。

【0071】工程D（図14）

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が2000Åの窒化シリコン膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が2000Åの1型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が300ÅのN⁺型非晶質Si膜を設ける。

【0072】工程E（図14）

写真処理後、ドライエッチングガスとしてSF₆、CCl₄を使用してN⁺型非晶質Si膜、1型非晶質Si膜を選択的にエッチングすることにより、半導体層ASの島を形成する。

【0073】工程F（図14）

写真処理後、ドライエッチングガスとしてSF₆を使用して、窒化シリコン膜を選択的にエッチングする。

【0074】工程G（図15）

膜厚が1400ÅのITO膜からなる第1導電膜d1をスパッタリングにより設ける。写真処理後、エッチング液として塩酸と硝酸との混酸液で第1導電膜d1を選択

14

【0075】工程H（図15）

膜厚が600ÅのCr膜からなる第2導電膜d2をスパッタリングにより設け、さらに膜厚が4000ÅのAl-Pd-Al-Si、Al-Si-Ti、Al-Si-Cu等からなる第3導電膜d3をスパッタリングにより設ける。写真処理後、第3導電膜d3を工程Bと同様な液でエッチングし、第2導電膜d2を工程Aと同様な液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2を形成する。つぎに、ドライエッチング装置にCCl₄、SF₆を導入して、N⁺型非晶質Si膜をエッチングすることにより、ソースとドレイン間のN⁺型半導体層d0を選択的に除去する。

【0076】工程I（図15）

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が1μmの窒化シリコン膜を設ける。写真処理後、ドライエッチングガスとしてSF₆を使用した写真蝕刻技術で窒化シリコン膜を選択的にエッチングすることによって、保護膜PSV1を形成する。

【0077】図17はこの発明に係る他の液晶表示装置の一部を示す概略断面図である。図に示すように、この液晶表示装置においては、赤色カラーフィルタFIL（R）のイエローフィルタ層YEFと緑色カラーフィルタFIL（G）のイエローフィルタ層YEFとが同一層であり、緑色カラーフィルタFIL（G）のシアンフィルタ層CYFと青色カラーフィルタFIL（B）のシアンフィルタ層CYFとが同一層である。

【0078】図18はこの発明に係る他の液晶表示装置の一部を示す概略断面図である。図に示すように、この液晶表示装置においては、青色カラーフィルタFIL（B）のブルーフィルタ層BLEFとシアンフィルタ層CYFより上部ガラス透明基板SUB2側に設けられている。

【0079】図19はこの発明に係る他の液晶表示装置の一部を示す概略断面図である。図に示すように、この液晶表示装置においては、青色カラーフィルタFIL（B）のブルーフィルタ層BLEFとシアンフィルタ層CYFより上部ガラス透明基板SUB2側に設けられ、赤色カラーフィルタFIL（R）のイエローフィルタ層YEFと緑色カラーフィルタFIL（G）のイエローフィルタ層YEFとが同一層であり、緑色カラーフィルタFIL（G）のシアンフィルタ層CYFと青色カラーフィルタFIL（B）のシアンフィルタ層CYFとが同一層である。

【0080】

【発明の効果】以上説明したように、この発明に係る液晶表示装置においては、異なる色のフィルタ層それぞれ

ストが高価となることがない。このように、この発明の効果は顕著である。

【図面の簡単な説明】

【図1】図2に示す液晶表示装置の一部を示す概略断面図である。

【図2】この発明が適用されるアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

【図3】図2の3-3切断線における一画素とその周辺を示す断面図である。

【図4】図2の4-4切断線における保持容量素子Caddの断面図である。

【図5】図2に示す画素を複数配置した液晶表示部の要部平面図である。

【図6】図2に示す画素の導電膜g2、i型半導体層ASのみを描いた平面図である。

【図7】図2に示す画素の導電膜d1、d2、d3のみを描いた平面図である。

【図8】図2に示す画素の画素電極層、遮光膜およびカラーフィルタ層のみを描いた平面図である。

【図9】図5に示す画素配列の画素電極層、遮光膜およびカラーフィルタ層のみを描いた要部平面図である。

【図10】ドレイン端子DTMと映像信号線DLとの接続部付近を示す平面と断面の図である。

【図11】アクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部を示す等価回路図である。

【図12】図2に示す画素の等価回路図である。

【図13】下部透明ガラス基板SUB1側の工程A～Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図14】下部透明ガラス基板SUB1側の工程D～F

の製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図15】下部透明ガラス基板SUB1側の工程G～Iの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

【図16】ゲート端子GTMと走査信号線GLとの接続部付近を示す平面と断面の図である。

【図17】この発明に係る他の液晶表示装置の一部を示す概略断面図である。

10 【図18】この発明に係る他の液晶表示装置の一部を示す概略断面図である。

【図19】この発明に係る他の液晶表示装置の一部を示す概略断面図である。

【図20】従来の液晶表示装置の一部を示す概略断面図である。

【符号の説明】

SUB…透明ガラス基板、GL…走査信号線、DL…映像信号線

GI…絶縁膜、GT…ゲート電極、AS…i型半導体層、SD…ソース電極またはドレイン電極、PSV…保護膜、BM…遮光膜

20 LC…液晶、TFT…薄膜トランジスタ、ITO…透明画素電極

g、d…導電膜、Cadd…保持容量素子、AOF…陽極酸化膜

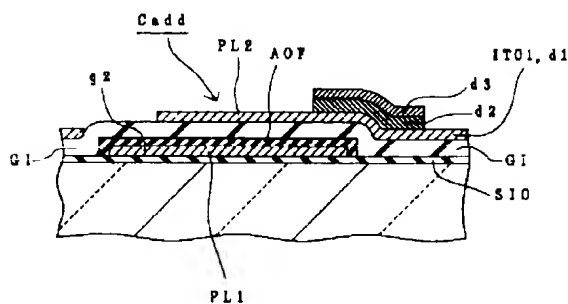
AO…陽極酸化マスク、GTM…ゲート端子、DTM…ドレイン端子

FIL…カラーフィルタ、REF…レッドフィルタ層、YEF…イエローフィルタ層、CYF…シアンフィルタ層

30 層、BLF…ブルーフィルタ層

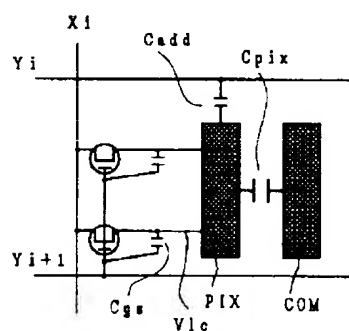
【図4】

図4



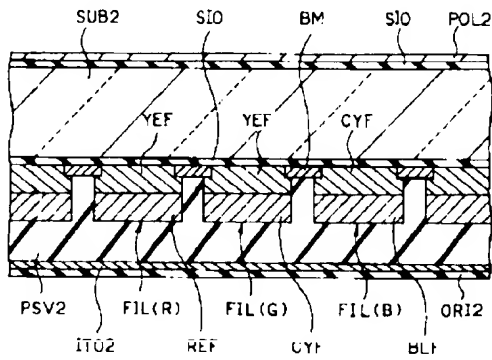
【図12】

図12



【図1】

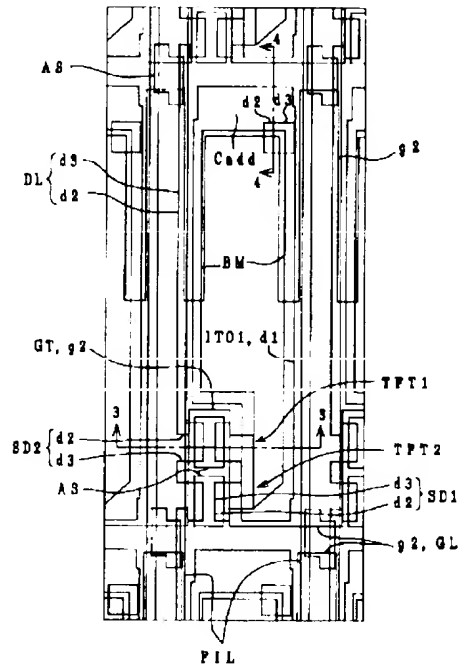
図1



FIL...カラーフィルタ
 REF...レッドフィルタ層
 YEF...イエローフィルタ層
 CYF...シアンフィルタ層
 BLF...ブルーフィルタ層

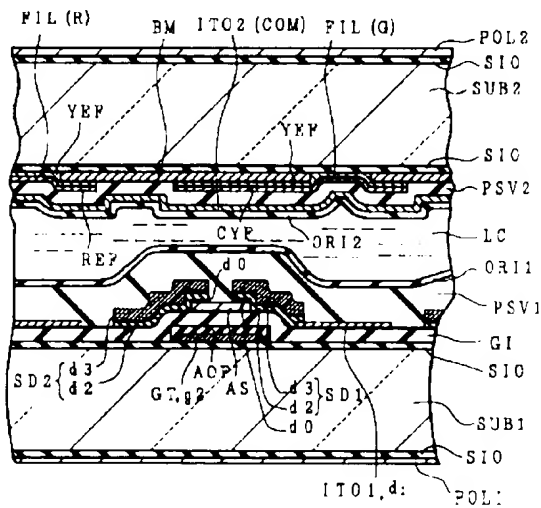
【図2】

図2



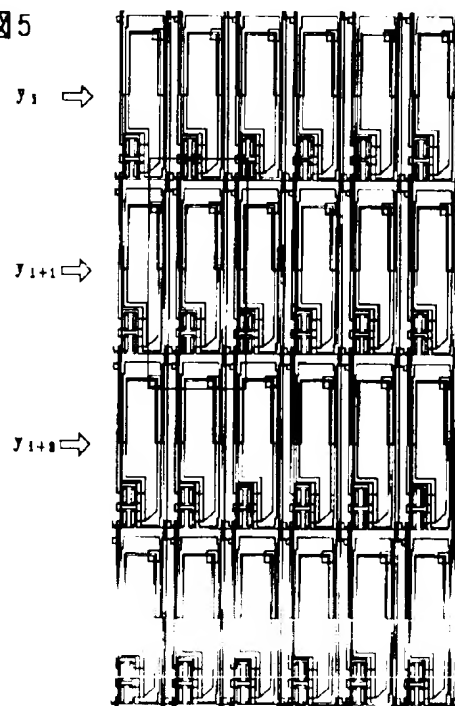
【図3】

図3



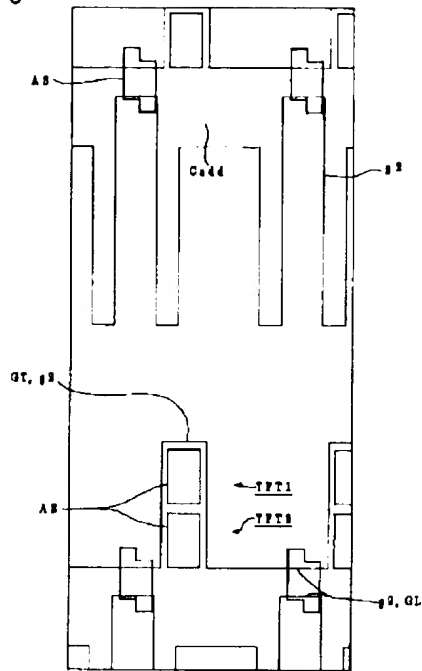
【図5】

図5



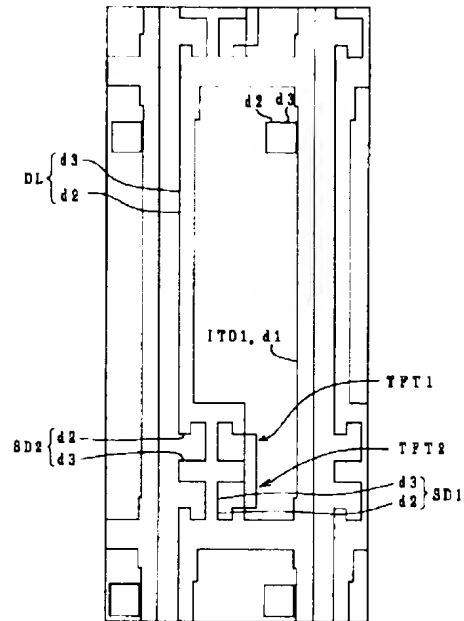
【図6】

図6



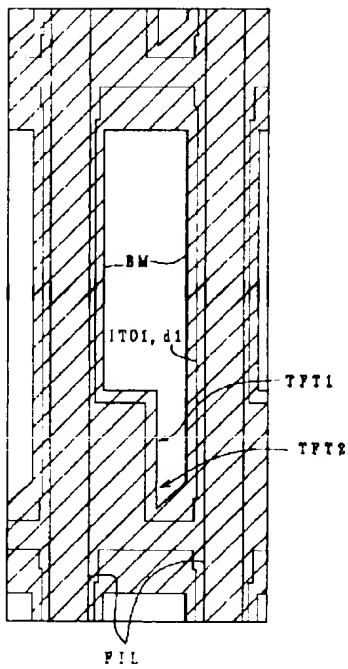
【図7】

図7



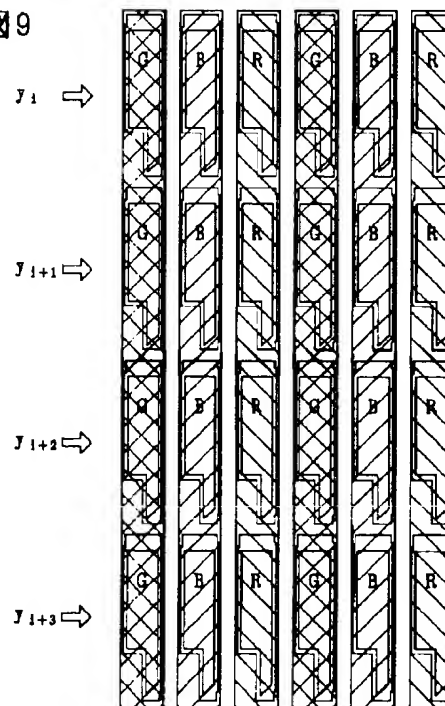
【図8】

図8



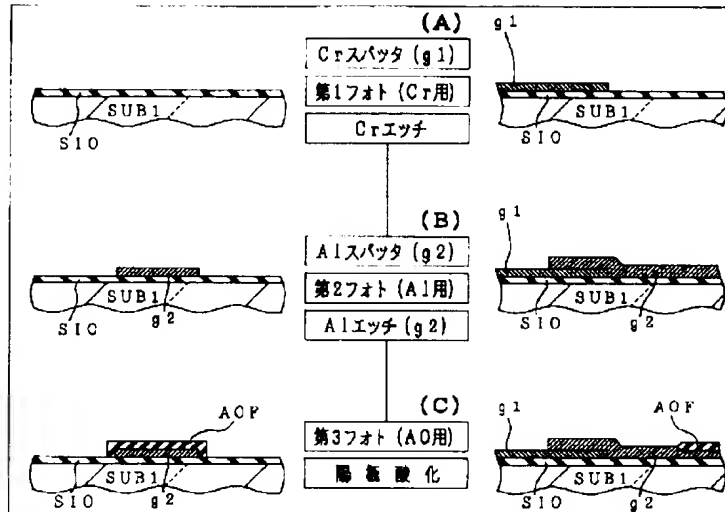
【図9】

図9



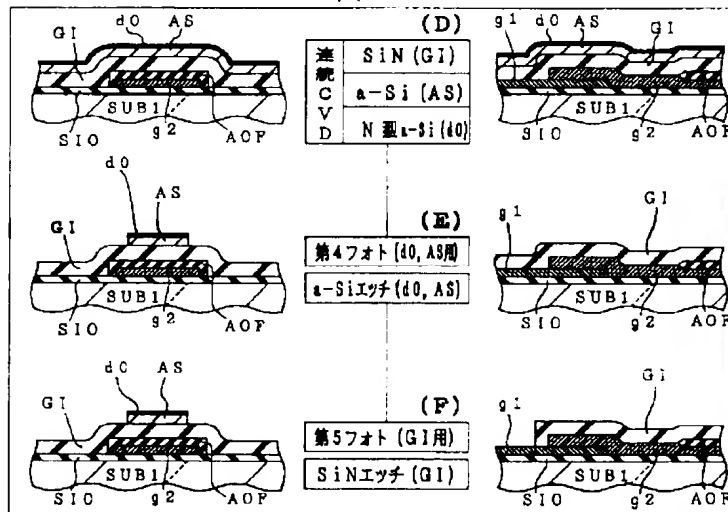
【図13】

図13



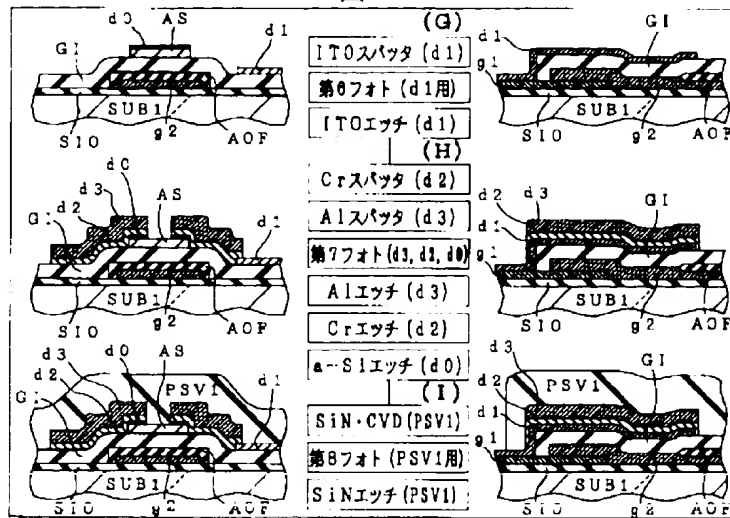
【図14】

図14



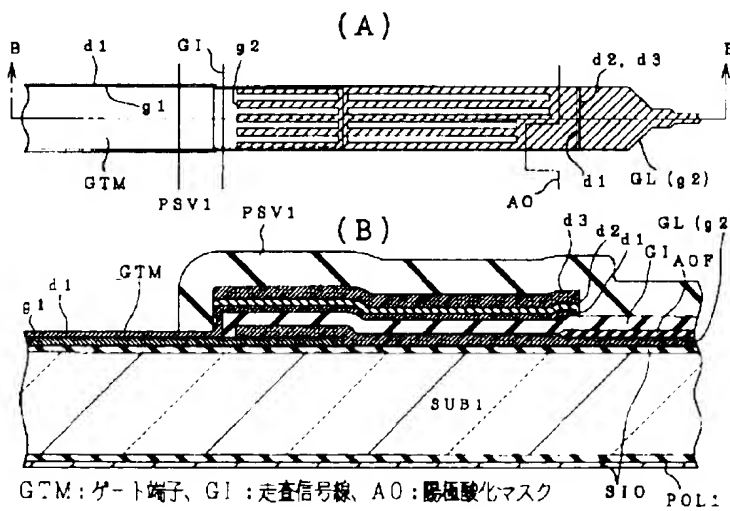
【図15】

図15



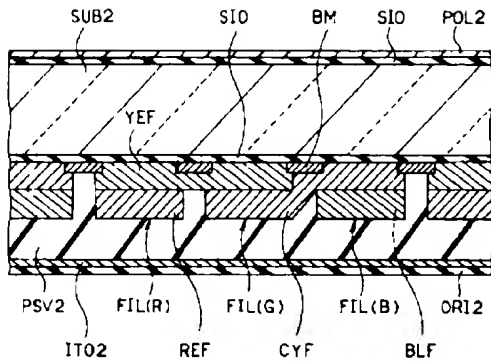
【図16】

図16



【図17】

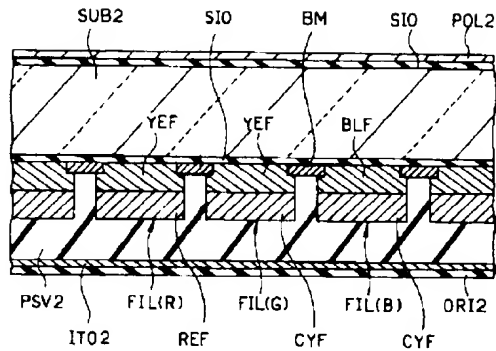
図17



FIL…カラーフィルタ
REF…レッドフィルタ層
YEF…イエローフィルタ層
CYF…シアンフィルタ層
BLF…ブルーフィルタ層

【図18】

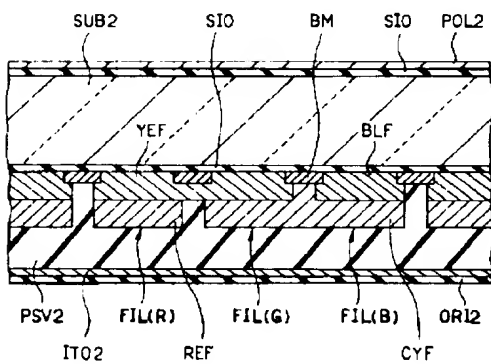
図18



FIL…カラーフィルタ
REF…レッドフィルタ層
YEF…イエローフィルタ層
CYF…シアンフィルタ層
BLF…ブルーフィルタ層

【図19】

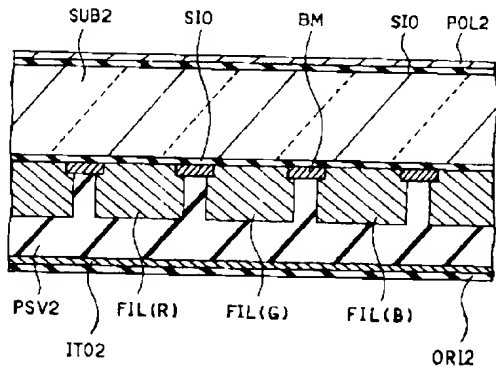
図19



FIL…カラーフィルタ
REF…レッドフィルタ層
YEF…イエローフィルタ層
CYF…シアンフィルタ層
BLF…ブルーフィルタ層

【図20】

図20



フロントページの続き

(72)発明者 松山 茂

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内

(72)発明者 青木 晃

千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内